

(19)日本国特許庁 (JP)

(12)特許公報 (B2)

(11)特許番号

特許第3364066号
(P3364066)

(45)発行日 平成15年1月8日(2003.1.8)

(24)登録日 平成14年10月25日(2002.10.25)

(51)Int.Cl.
G 09 G 3/28
3/20識別記号
6 2 1
6 2 2
6 2 4F I
G 09 G 3/20
3/286 2 1 G
6 2 1 M
6 2 2 B
6 2 4 P
H

請求項の数14(全13頁) 最終頁に続く

(21)出願番号 特願平7-255381
 (22)出願日 平成7年10月2日(1995.10.2)
 (65)公開番号 特開平9-97034
 (43)公開日 平成9年4月8日(1997.4.8)
 (審査請求日 平成12年3月24日(2000.3.24))

早期審査対象出願

(73)特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1
 番1号
 (72)発明者 金澤 義一
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内
 (72)発明者 岸 智勝
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内
 (74)代理人 100092587
 弁理士 松本 賢吉
 審査官 橋本 直明

最終頁に続く

(54)【発明の名称】 AC型プラズマディスプレイ装置及びその駆動回路

1

(57)【特許請求の範囲】
 【請求項1】複数の走査電極が互いに平行に配置されたプラズマディスプレイパネルと、維持放電に必要な壁電荷を表示データに応じて生成するために該複数の走査電極を順に選択して選択電圧を印加し且つ非選択の走査電極に非選択電圧を印加し、維持放電させるために該複数の走査電極に共通に維持パルスを周期的に供給する駆動回路とを有するAC型プラズマディスプレイ装置において、

該駆動回路は、該複数の走査電極の各々について設けられたYドライバと、該複数のYドライバに対して共通に設けられたY共通ドライバとを備え、各Yドライバは、対応する走査電極に選択的に導通される第1端及び第2端を備え、該複数のYドライバの第1端に共通に第1配線が接続され、該複数のYドライバの第2端に共通に第

2

2配線が接続され、該Y共通ドライバは、アドレス期間において該第1及び第2配線にそれぞれ選択電圧及び非選択電圧を供給する走査電圧回路と、サステイン期間において第3配線に維持電圧又は基準電圧を選択的に供給する維持電圧回路と、分離回路とを備え、

該第1、該第2及び該第3配線が該分離回路を介して互いに接続されており、該配線間の電気的な接続が該分離回路により選択的に遮断されることを特徴とするAC型プラズマディスプレイ装置。

【請求項2】前記分離回路は、前記第1配線と前記第2配線との間に接続されたスイッチを含むことを特徴とする請求項1記載のAC型プラズマディスプレイ装置。

【請求項3】前記分離回路は、前記第1配線と前記第3配線との間に接続されたスイッチを含むことを特徴とする請求項1記載のAC型プラズマディスプレイ装置。

一方に前記スイッチが接続され他方が導通されていることを特徴とする請求項2記載のAC型プラズマディスプレイ装置。

【請求項4】 前記分離回路は、前記第1配線と前記第3配線との間にと前記第2配線と前記第3配線との間にとの一方に接続されたスイッチを含むことを特徴とする請求項1記載のAC型プラズマディスプレイ装置。

【請求項5】 前記分離回路は、前記第1配線と前記第3配線との間に前記スイッチが接続され、前記第2配線と該第3配線との間に、オン／オフされ又は該第2配線から該第3配線へのみ電流を流すことができるスイッチ手段が接続されていることを特徴とする請求項4記載のAC型プラズマディスプレイ装置。

【請求項6】 前記分離回路における前記スイッチは、ソースが前記第1配線に接続され、ドレインが前記第3配線に接続されたnMOSトランジスタであることを特徴とする請求項5記載のAC型プラズマディスプレイ装置。

【請求項7】 前記走査電圧回路は、アノード及びカソードがそれぞれ前記nMOSトランジスタのソース及びゲートに接続されたダイオード手段を有し、該ダイオード手段のカソードに前記選択電圧が供給されることを特徴とする請求項6記載のAC型プラズマディスプレイ装置。

【請求項8】 前記第2配線から第3配線へのみ電流を流すことができるスイッチ手段は、カソードが前記第2配線に接続されアノードが前記第3配線に接続されたダイオード手段であることを特徴とする請求項5記載のAC型プラズマディスプレイ装置。

【請求項9】 コンデンサと、前記第3配線と該コンデンサとの間に接続されたコイルとを含み、前記維持電圧の印加前に該コンデンサに蓄積されている電荷を該コイルを介し前記複数の走査電極へ補助的に供給し、維持放電後に該複数の走査電極上の電荷を該コイルを介し該コンデンサに回収する電力回收回路をさらに有することを特徴とする請求項1記載のAC型プラズマディスプレイ装置。

【請求項10】 前記Yドライバは、前記第1配線と前記第2配線との間に接続されたブッシュブル回路と、該ブッシュブル回路に対して並列に接続されたダイオード手段と、を有することを特徴とする請求項1記載のAC型プラズマディスプレイ装置。

【請求項11】 前記維持電圧回路は、前記維持電圧を供給するための第1スイッチ及び前記基準電圧を供給するための第2スイッチと、該第1及び第2スイッチに対してそれぞれ並列接続された第1及び第2ダイオード手段と、を有することを特徴とする請求項1記載のAC型プラズマディスプレイ装置。

マディスプレイ装置。

【請求項12】 前記走査電圧回路は、前記第2配線に接続されたダイオードと、該ダイオードと非選択電圧供給線との間に接続されたスイッチと、を有することを特徴とする請求項1記載のAC型プラズマディスプレイ装置。

【請求項13】 複数の走査電極が互いに平行に配置されたプラズマディスプレイパネルに対し、選択された走査電極に印加する選択電圧と、非選択の走査電極に印加する非選択電圧と、維持放電させるために該複数の走査電極に共通に供給する維持パルスとを出力する駆動回路において、

該複数の走査電極の各々について設けられたYドライバと、該複数のYドライバの一端に共通に接続されてなり、該Yドライバに対し該選択電圧を供給するための第1配線と、該複数のYドライバの他端に共通に接続されてなり、該Yドライバに対し該非選択電圧を供給するための第2配線と、維持電圧及び基準電圧を供給するための第3配線とを備え、

該第1、該第2及び該第3配線は、分離回路を介して互いに接続されており、該配線間の電気的な接続が該分離回路により選択的に遮断されることを特徴とする駆動回路。

【請求項14】 複数の走査電極が互いに平行に配置されたプラズマディスプレイパネルに対し、選択された走査電極に印加する選択電圧と、非選択の走査電極に印加する非選択電圧と、維持放電させるために該複数の走査電極に共通に供給する維持パルスとを出力する駆動回路において、

該複数の走査電極の各々について設けられたYドライバと、該複数のYドライバに対して共通に設けられたY共通ドライバとを備え、各Yドライバは、対応する走査電極に選択的に導通される第1端及び第2端を備え、該複数のYドライバの第1端に共通に第1配線が接続され、該複数のYドライバの第2端に共通に第2配線が接続され、

該Y共通ドライバは、該第1及び第2配線にそれぞれ該選択電圧及び該非選択電圧を供給する走査電圧回路と、第3配線に維持電圧又は基準電圧を選択的に供給する維持電圧回路と、分離回路とを備え、

該第3配線が該分離回路を介して該第1及び第2配線に接続されており、該配線間の電気的な接続が該分離回路により選択的に遮断されることを特徴とする駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、AC型プラズマディスプレイ装置及びその駆動回路に関する。

【0002】

【従来の技術】 図7は、3電極面放電AC型のプラズマ

ディスプレイパネル (PDP) の 1 画素 10 の断面構成を示す。紙面垂直方向に延びた一対の電極 X1 及び Y1 は、ガラス基板 11 上に形成され、その上に誘電体 12 が被着され、さらにその上に MgO 保護膜 13 が被着されている。一方、紙面左右方向に延びたアドレス電極 A1 は、ガラス基板 11 と対向配置されたガラス基板 14 上に形成され、その上に蛍光体 15 が被着されている。また、ガラス基板 14 上には、画素境界に隔壁 16 が形成されている。MgO 保護膜 13 と蛍光体 15 との間の放電空間 17 には、例えば Ne + Xe ベニング混合ガス 10 が封入されている。

【0003】図 6 は、プラズマディスプレイ装置 20 の概略構成を示す。PDP 21 には、電極 X1 ～ Xn がそれぞれ電極 Y1 ～ Yn と対になって互いに平行に配置され、これらと離間して交差するようにアドレス電極 A1 ～ A m が配置されて、m × n 個の画素がマトリックス状に形成されている。電極 X1 ～ Xn は、一端部が共通に接続されている。以下、電極 A1 ～ A m 、電極 X1 ～ Xn 及び電極 Y1 ～ Yn をそれぞれ電極 A 、電極 X 及び電極 Y と総称する。

【0004】これら電極には、図 9 に示すような波形の電圧が印加される。図 9 中の電圧 Va 、 -Vsc 、 -VY 、 Vw 及び Vs は、電源回路 22 で生成され、アドレスドライバ 23 、 Y 共通ドライバ 24 A 、走査ドライバ 25 及び X 共通ドライバ 26 を介して電極に供給される。図 6 中、 Vcc は論理回路用電源電圧であり、 Vd は駆動回路用電源電圧である。例えば、瞬合う電極 X-Y 間及び対向する電極 A-Y 間の放電開始電圧がそれぞれ 290V 及び 180V であり、この場合、電源電圧は例えば、

$$Vs = 180V, Va = 50V, Vsc = 100V \\ Vcc = 5V, Vd = 15V$$

である。

【0005】アドレスドライバ 23 、 Y 共通ドライバ 24 A 、走査ドライバ 25 及び X 共通ドライバ 26 は、制御回路 27 からの制御信号により制御される。制御回路 27 は、この制御信号を外部から供給されるドットクロック CLK 、垂直同期信号 VSYNC 及び水平同期信号 HSYNC に基づいて生成し、また、外部から供給される表示データ DATA を、 PDP 21 用のデータに変換してアドレスドライバ 23 へ供給する。

【0006】アドレスドライバ 23 は、シフトレジスタ 231 と、ラッチ回路 232 と、 A ドライバ 233 とを備え、 A ドライバ 233 の m 個の出力端がそれぞれ、アドレス電極 A1 ～ A m に接続されている。 A ドライバ 233 は、アドレス電極 A1 ～ A m に対する互いに同一構成の m 個のドライバを備えており、アドレス電極 A1 に対するものを A1 ドライバ 2331 とする。制御回路 27 から 1 行分の表示データがシフトレジスタ 231 に転送されると、これがラッチ回路 232 に保持され、ラッ

チ回路 232 の出力に基づいて、 A ドライバ 233 を介してアドレス電極 A1 ～ A m に駆動電圧が供給される。

【0007】走査ドライバ 25 は、シフトレジスタ 251 と、 Y ドライバ 252 を備え、 Y ドライバ 252 は、互いに同一構成の n 個のドライバを備えており、電極 Y1 に対するものを Y1 ドライバ 2521 とする。この n 個のドライバの出力端は、それぞれ電極 Y1 ～ Yn に接続されている。アドレス期間では、シフトレジスタ 251 の直列データ入力端に最初のアドレスサイクルのみ '1' が供給され、これがアドレスサイクルに同期してシフトされて、電極 Y1 ～ Yn が順に選択される。

【0008】図 8 は、画素 10 に対する駆動回路の概略構成を示す。図 8 では、全画素の壁電荷をクリアするリセット期間において必要な駆動回路を省略している。図 8 中、 SW1 ～ SW15 はスイッチ素子であり、 D1 ～ D15 はダイオードであり、 L1 ～ L3 はコイルであり、 C1 及び C2 は電力回収用コンデンサである。

【0009】 A1 ドライバ 2331 はブッシュブル型であり、ラッチ回路 232 (図 6) の第 1 ビットが '1' のときスイッチ SW2 がオフ、スイッチ SW1 がオンにされて、書込電圧 Va がアドレス電極 A1 に供給され、ラッチ回路 232 の第 1 ビットが '0' のときスイッチ SW1 がオフ、スイッチ SW2 がオンにされて、 0V がアドレス電極 A1 に供給される。

【0010】 X 共通ドライバ 26 は、 A1 ドライバ 2331 と同一構成の X 維持電圧回路 261 と、電力回路 262 を備えている。図 9 のサステイン期間において、スイッチ SW3 及び SW4 がオフ、電極 X の電圧が 0V の状態で、維持パルス Ps を立ち上げるために、まずスイッチ SW12 がオンにされて、コンデンサ C1 に蓄積された電荷がダイオード D12 及びコイル L1 を通って電極 X に供給される。電極 X が維持電圧 Vs 近くまで上昇すると、スイッチ SW3 がオンにされて電極 X が維持電圧 Vs まで引き上げられ、この電圧に壁電圧が加えられて維持放電が生じ、逆極性の壁電荷が MgO 保護膜 13 上に蓄積される。次に、スイッチ SW12 、スイッチ SW3 の順にオフにされる。

【0011】維持パルス Ps を立ち下げる時には、スイッチ SW13 がオンにされて、電極 X 上の電荷がコイル L1 、ダイオード D13 及びスイッチ SW13 を通ってコンデンサ C1 に回収される。電極 X の電圧が 0V 近くまで下降すると、スイッチ SW4 がオンにされて電極 X が完全に 0V まで引き下げられ、次いでスイッチ SW13 、スイッチ SW4 の順にオフにされる。

【0012】 Y1 ドライバ 2521 は、 A1 ドライバ 2331 及び X 維持電圧回路 261 と同一構成である。 Y ドライバ 252 の n 個のドライバは配線 SU 及び SD を介して互いに並列接続され、 Y 共通ドライバ 24A は、この配線 SU 及び SD に接続されて、電極 Y1 ～ Yn に対する共通回路となっている。 Y 共通ドライバ 24

Aは、走査電圧回路241Aと、Y維持電圧回路242Aと、電力回收回路243Aとを備えている。

【0013】図9のアドレス期間では、まず、スイッチSW5～SW10、SW14及びSW15のうちスイッチSW7、SW8及びSW5のみがオンにされて、配線SD及び電極Y1に非選択電圧Vs cが印加され、配線SUに選択電圧0Vが印加され、次にスイッチSW5がオフにされ、走査開始が可能となる。この状態で、スイッチSW6がオンにされて、電極Y1に選択電圧0Vが印加される。この際、アドレス電極A1～Anのうち表示データに応じて選択されたものと電極Y1との間で補助放電が行われ、この放電にトリガされて、電極X-Y間で放電が生じ、維持放電に必要な壁電荷がMgO保護膜13上に蓄積される。次にスイッチSW6がオフ、スイッチSW5がオンにされて、電極Y1に非選択電圧Vs cが印加される。次に、Yドライバ252の他のn-1個のドライバについて順に同様に制御される。図9中のPscは走査パルスである。

【0014】図9のサステイン期間では、まず、スイッチSW5～SW10、SW14及びSW15のうちSW15のみがオンにされて、コンデンサC2に蓄積された電荷がスイッチSW15、ダイオードD15、コイルL3及びダイオードD6を通って電極Yに供給され、電極Yが維持電圧Vs近くまで上昇すると、スイッチSW10がオンにされて電極Yが完全に維持電圧Vsまで引き上げられる。電極X-Y間のうち維持電圧Vsと壁電圧との和が放電開始電圧を越えたものについて、維持放電が生じ、逆極性の壁電荷がMgO保護膜13上に蓄積される。次に、スイッチSW15、スイッチSW10の順にオフにされる。次に、スイッチSW14がオンにされて、電極Y上の電荷がダイオードD5、コイルL2、ダイオードD14及びスイッチSW14を通ってコンデンサC2に回収され、電極Yが0V近くまで下降すると、スイッチSW9がオンにされて電極Yが完全に0Vまで引き下げられ、次いでスイッチSW14、スイッチSW9の順にオフにされる。

【0015】図11に示す電極印加電圧波形は、アドレス期間において、電極Y1～Ynの非選択電圧を-Vs c、選択電圧を-VYとして、バル数の多いアドレス電極A1～Anに印加する書込電圧Vaを低くすることにより、消費電力を低減したものである。この場合の、図8に対応した駆動回路を図10に示す。電源電圧は、例えば、

$$Vs = 180V, Va = 50V, -VY = -150V, -Vsc = -50V$$

である。

【0016】

【発明が解決しようとする課題】図8のY共通ドライバ24A及び図10のY共通ドライバ24Bにおいて、サステイン期間で配線SD及び配線SUに多くの画素の放

電電流が流れるため、その幅を広くしてインピーダンスを小さくしなければならない。Y維持電圧回路242Aと走査電圧回路241又は241Aとの間の配線が幅広の2本であり、かつ、Y維持電圧回路242Aにおいて、配線SDにスイッチSW9及びダイオードD9を接続し、配線SDと離れた配線SUにスイッチSW10及びダイオードD10を接続しなければならず、また、スイッチSW9及びSW10と独立にダイオードD9及びD10が必要になるので、構成が複雑になり、ドライバの集積化及び低コスト化が妨げられる。

【0017】スイッチとしては、通常、パワーMOSトランジスタが用いられるが、図10のスイッチSW6には、スイッチSW10をオンにした時にVs + VY = 330Vの電圧が印加され、高耐圧のスイッチSW6を用いる必要があるので、ドライバの集積化及び低コスト化が妨げられる。本発明の目的は、このような問題点に鑑み、構成がより簡単で駆動回路の集積化及び低コスト化が可能なAC型プラズマディスプレイ装置及びその駆動回路を提供することにある。

【0018】

【課題を解決するための手段及びその作用効果】本発明の第1態様では、複数の走査電極が互いに平行に配置されたプラズマディスプレイパネルと、維持放電に必要な壁電荷を表示データに応じて生成するために該複数の走査電極を順に選択して選択電圧を印加し且つ非選択の走査電極に非選択電圧を印加し、維持放電させるために該複数の走査電極に共通に維持パルスを周期的に供給する駆動回路とを有するAC型プラズマディスプレイ装置において、該駆動回路は、該複数の走査電極の各々について設けられ、第1端が1つの走査電極に接続され、第2端と該第1端との間に第1スイッチが接続され、第3端と該第1端との間に第2スイッチが接続されたブッシュブル回路と、該複数の走査電極について設けられた該ブッシュブル回路の該第2端及び該第3端がそれぞれ第1配線及び第2配線に共通に接続され、第3スイッチを介して該第1配線に選択電圧を供給し、第4スイッチを介して該第2配線に非選択電圧を供給する走査電圧回路と、該第1配線と該第3配線との間に第5スイッチが接続され、該第2配線と該第3配線との間にオン/オフされ又は該第2配線から該第3配線へのみ電流を流すことができるスイッチ手段が接続された分離回路と、第6スイッチを介して該第3配線に該維持電圧を供給し、第7スイッチを介して該第3配線に基準電圧を供給する維持電圧回路とを有する。

【0019】この第1態様によれば、分離回路により、複数の走査電極に維持放電電流が流れる第1配線及び第2配線を、維持電圧回路において1つの第3配線のみにすることができる、この1つの第3配線に対し維持電圧回路を構成すればよいので、維持電圧回路の構成が簡単になり、かつ、回路素子の配置を集積化することができ、

これらにより低コスト化が可能になるという効果を奏する。

【0020】本発明の第2態様では、上記第1態様の分離回路の替わりに、該第1配線と該第3配線との間と該第2配線と該第3配線との間との一方に第5スイッチが接続され他方が導通された分離回路を用いている。この第2態様においても、上記第1態様と同じ効果が得られる。本発明の第3態様では、前記ブッシュブル回路はさらに、前記第1端にカソードが接続され前記第2端にアノードが接続された第1ダイオード手段と、前記第1端にアノードが接続され前記第3端にカソードが接続された第2ダイオード手段と、を有する。

【0021】この第3態様によれば、サステイン期間において第1スイッチ及び第2スイッチを制御する必要がなくなる。本発明の第4態様では、前記第5スイッチは、ソースが前記第1配線に接続され、ドレンが前記第3配線に接続されたnMOSトランジスタであり、前記走査電圧回路は、アノード及びカソードがそれぞれ該nMOSトランジスタの該ソース及びゲートに接続された第3ダイオード手段を有し、該第3ダイオード手段のカソードに前記第3スイッチの一端が接続されているこの第4態様によれば、第1配線への非選択電圧の印加をオン／オフする第3スイッチをオンにすることにより、同時に分離回路の第7スイッチをオフにすることができるので、分離回路の制御が簡単になるという効果を奏する。

【0022】本発明の第5態様では、上記分離回路の上記スイッチ手段は、カソードが上記第1配線に接続されアノードが上記第3配線に接続された第3ダイオード手段である。この第5態様によれば、第3ダイオード手段をオン／オフ制御する必要がないので、分離回路に対する制御が簡単になるという効果を奏する。

【0023】本発明の第6態様では、上記維持電圧回路は、上記第6スイッチ及び上記第7スイッチにそれぞれダイオード手段が並列接続され、該ダイオード手段の向きは、上記第3配線の電圧が上記維持電圧と上記基準電圧との間の電圧であるときに該ダイオード手段に逆電圧が印加される向きである。本発明の第7態様では、上記維持電圧の印加前にコンデンサに蓄積されている電荷を上記第3配線を介し該複数の走査電極へ補助的に供給し、維持放電後に該複数の走査電極上の電荷を該第3配線を介し該コンデンサに回収する電力回收回路を有する。

【0024】この第7態様によれば、1つの第3配線に對し電力回收回路を接続すればよいので、電力回收回路のコイルは1つで足り、電力回收回路の構成が簡単になる。

【0025】

【発明の実施の形態】以下、図面に基づいて本発明の一実施形態を説明する。図1は、本発明の一実施形態のA

C型プラズマディスプレイ装置の1画素に対する駆動回路の概略構成を示す。図8と同一構成要素には、同一符号を付している。A1ドライバ2331、Y1ドライバ2521及びX共通ドライバ26は、図8と同一構成である。

【0026】Y共通ドライバ24は、上述のY共通ドライバ24Aと同様に、図6のYドライバ252のn個のブッシュブル回路に共通に接続されており、電極Y1～Ynに対する共通回路となっている。Y共通ドライバ24は、走査電圧回路241と、Y維持電圧回路242と、電力回收回路243と、分離回路244とを備えている。

【0027】走査電圧回路241は、非選択電圧供給線V2とダイオードD7のアノードとの間にスイッチSW7が接続され、ダイオードD7のカソードが配線SDに接続され、配線SUと選択電圧供給線V1との間にスイッチSW8が接続されている。ダイオードD7は逆流防止用である。分離回路244は、走査電圧回路241とY維持電圧回路242との間に接続され、アドレス期間でオフにして電源電圧供給線間で貫通電流が流れるのを防止するためのものであり、スイッチSW16及びSW17の一端が共に配線SCに接続され、他端がそれぞれ配線SD及び配線SUに接続されている。後述する第1実施例のように、非選択電圧V2が正又は0の場合には、アドレス期間においてスイッチSW7及びSW8をオンにしたときに電源電圧供給線V1から電源電圧供給線V2への貫通電流を分離回路244で阻止できればよく、スイッチ16とスイッチ17との一方のみ備えれば充分である。

【0028】分離回路244を備えたことにより、Y維持電圧回路242及び電力回收回路243が図8のY維持電圧回路242A及び電力回收回路243Aよりも構成が簡単になっている。また、Y維持電圧回路242及び電力回收回路243を1本の配線SCに接続すればよいので、基板上の回路素子の配置を集積化することができる。

【0029】Y維持電圧回路242は、Y1ドライバ2521、A1ドライバ2331及びX維持電圧回路261と原理的に同一構成であり、配線SCと維持電圧供給線Vsとの間に及び配線SCとグランド線との間にそれぞれスイッチSW9及びスイッチSW10が接続され、スイッチSW9及びスイッチSW10にそれぞれダイオードD9及びダイオードD10が並列接続されている。ダイオードD9及びD10の向きは、配線SCの電圧Vが $0 < V < V_s$ のときに逆方向接続になる向きである。

【0030】電力回收回路243は、1つのコイルL2のみを備えており、コイルL2の一端が配線SCに接続され、コイルL2の他端がダイオードD14のカソード及びダイオードD15のアノードに接続されている。ダイオードD14及びD15は逆流防止用である。ダイオ

ードD14のアノードは、スイッチSW14を介してコンデンサC2の一端に接続され、ダイオードD15のカソードは、スイッチSW15を介してコンデンサC2の一端に接続されている。コンデンサC2の他端はグラント線に接続されている。コンデンサC2は、図6の電極X1～Xnと電極Y1～Ynとの間の全容量(PDP21の容量)の例えば100倍の10μFであって、電力回収/再利用の際には殆ど端子間電圧の変動がない。以下の説明では、コンデンサC1及びC2の端子間電圧は既にVs/2にされているとする。

【0031】図1の動作は、以下の実施例により明らかになる。

【0032】

【実施例】【第1実施例】

図2は、図1のY側ドライバの第1実施例を示す回路図である。このY側ドライバは、図8中のY側ドライバを改良したものである。スイッチSW5、SW7、SW9及びSW14はpMOSトランジスタであり、スイッチSW6、SW8、SW10、SW15及びSW17はnMOSトランジスタである。これらのMOSトランジスタはパワー型であり、これに、ソース・ドレイン間の電圧をクリップしてMOSトランジスタを保護するためのダイオードが一体化されたものが半導体装置として市販されており、保護用ダイオードを外付けする必要がない。Y1ドライバ2521は電極Y1用であり、電極Y2～Ynに対しても同一構成の回路を備える必要があり、かつ、駆動能力が比較的低いので、IC化されている。これに対し、Y共通ドライバ24内のパワーMOSトランジスタは電極Y1～Ynに共通であるので大型であり、個別部品となっている。

【0033】Y維持電圧回路242は、パワーMOSトランジスタと一体となった保護用のダイオードD9及びD10を用いており、図8及び図10に示すようにスイッチSW9及びSW10と独立な大型のダイオードD9及びD10を備える必要がないので、部品点数が少なく、また、1本の配線SCにスイッチSW9及びSW10が接続されているので、基板上での配置において集積化され、コンパクトになる。

【0034】分離回路244は、スイッチSW17としてnMOSトランジスタを用い、そのドレインDが配線SCに接続され、ソースSが配線SUに接続されている。次に、上記の如く構成されたY側ドライバの動作を図3に基づいて説明する。電極印加電圧波形は図9と同一であり、この波形との時間的位置関係を示すために、図3では電極Yのみの印加電圧波形を示している。アドレス期間での電極Y印加電圧波形は、図9の電極Y1～Ynの波形をまとめて簡略化したものであり、図3中のY1～Ynは、対応する電極に印加される走査パルスの位置を示している。スイッチの波形は、高レベルがオン、低レベルがオフを示している。

【0035】アドレス期間では、スイッチSW17がオフにされて、配線SDと配線SUとの間が遮断され、同時にスイッチSW8がオンにされて配線SUが選択電圧0Vになり、次いでスイッチSW7がオンにされて配線SDが非選択電圧Vsになる、次いでスイッチSW5がオン(電極Y2～Ynのドライバについても同様)にされて電極Y1～Ynが非選択電圧Vsになる。次にスイッチSW5がオフ(電極Y2～Ynのドライバについても同様)にされる。これにより、電極Y1～Ynの走査準備が完了する。

【0036】次に、電極Y1を選択するために、Y1ドライバ2521のスイッチSW6がオンにされ、電極Y1が選択電圧0Vにされ、アドレス電極A1の電圧が書込電圧Vaのとき電極A1-Y1間で補助放電が行われ、この放電にトリガされて、電極X1-Y1間で書き込み放電が生じ、維持放電に必要な壁電荷がMgO保護膜13上に蓄積される。壁電圧が電極X1-Y1間印加電圧と逆極性であるので、放電開始電圧以下となって放電が終了する。次に、スイッチSW6がオフにされ、スイッチSW5がオンにされて、電極Y1が非選択電圧Vsとなる。

【0037】以下、電極Y2～Ynについて順に電極Y1と同様のことが行われる。Ynの選択が終了すると、スイッチSW5がオフ(電極Y2～Ynのドライバについても同様)にされ、次いでスイッチSW7がオフにされ、スイッチSW8がオフにされる。サステイン期間では、スイッチSW17がオンにされる。これと同時に、スイッチSW10がオンにされて、電極Y1～Yn上の電荷がダイオードD5及びスイッチSW10を通じて排出され、電極Y1～Ynが0Vになる。スイッチSW10がオフにされ、維持パルスPsの印加準備が完了する。

【0038】次に、電力回収回路243のスイッチSW14がオンにされ、コンデンサC2からの電流がスイッチSW14、ダイオードD14、コイルL2、スイッチSW17及びダイオードD6を通じて電極Y1～Ynに流れ込み、維持パルスPsが立ち上がる。電極Y1～Ynの電圧が上昇し、電圧Vs/2になつてもコイルL2とPDPの容量との結合によるLC共振により電流が流れ続け、維持電圧Vs近くまで上昇する。スイッチSW14がオンにされてから100～200nsほど遅れてスイッチSW9がオンにされ、電極Y1～Ynが維持電圧Vsまで完全に引き上げられる。この時、電極X1～Xnは0Vにされており、維持電圧Vsと壁電圧との和が放電開始電圧を越えるとその電極X-Y間で維持放電が生じ、逆極性の壁電荷がMgO保護膜13上に蓄積され、壁電圧と電極X-Y間印加電圧との和が放電開始電圧以下となって放電が終了する。維持放電電流は、維持電圧供給線VsからスイッチSW9、SW17及びダイオードD6を通じて電極Y1～Ynに供給される。次

に、スイッチSW14、スイッチSW9の順にオフにされる。

【0039】 $V_s > V_{sc}$ であるが、ダイオードD5及びスイッチSW7の保護ダイオードを通って非選択電圧供給線 V_{sc} へ貫通電流が流れるのがダイオードD7により防止される。次に、スイッチSW15がオンにされ、電極 $Y_1 \sim Y_n$ からの電流がダイオードD5、コイルL2、ダイオードD15及びスイッチSW15を通ってコンデンサC2に流れ込み、維持パルス P_s が立ち下がる。電極 $Y_1 \sim Y_n$ の電圧が $V_s/2$ まで下降してもLC共振により電流が流れ続け、0V近くまで下降する。次いでスイッチSW10がオンにされて、電極 $Y_1 \sim Y_n$ が0Vまで完全に引き下げられる。

【0040】次に、電極 $X_1 \sim X_n$ に維持パルス P_s が供給されて、上記同様に電極 $X - Y$ 間で維持放電が生ずる。この時の放電電流により、電極 $Y_1 \sim Y_n$ の電圧が上昇しようとするが、スイッチSW10がオンであるので、上昇が阻止される。本第1実施例では、スイッチ16を用いていないので、これをオン/オフ制御する必要がなく、分離回路244に対する制御回路が簡単になる。

【0041】【第2実施例】図4は、図1のY側ドライバの第2実施例を示す回路図である。このY側ドライバは、図10中のY側ドライバを改良したものである。走査電圧回路241Qは、図2の走査電圧回路241にスイッチSW18、SW19及びSW20並びにダイオードD8及びD18が付加された構成となっている。スイッチSW18及びSW19はpMOSトランジスタであり、スイッチSW20はnMOSトランジスタであって、いずれもトランジスタと一体の保護ダイオードが並列接続されている。

【0042】スイッチSW18はスイッチSW17をオンにするためのものであり、スイッチSW8はスイッチSW17をオフにするとともに配線SUの電圧を、ダイオードD8及びスイッチSW8を通って選択電圧 $-V_Y$ に引き込むためのものである。スイッチSW19は配線SUを0Vにするためのものである。スイッチSW20は、配線SDを非選択電圧 $-V_{sc}$ に引き込む前に、配線SDを一旦選択電圧 $-V_Y$ まで下げてスイッチSW7をオンにできるようにするためのものである。

【0043】次に、上記の如く構成されたY側ドライバの動作を図5に基づいて説明する。アドレス期間では、スイッチSW18がオフ、スイッチSW8がオンにされ、スイッチSW17がオフになり、かつ、配線SU上の電荷がダイオードD8及びスイッチSW8を通って排出され、配線SUが選択電圧 $-V_Y$ になり、同時に、スイッチSW20がオンにされて、電極 Y_1 上の電荷がダイオードD5及びスイッチSW20を通って排出され、電極 Y_1 及び配線SDが選択電圧 $-V_Y$ に引き込まれる。次に、スイッチSW20がオフにされ、スイッチS

10

20

30

40

40

50

W7がオンにされて、配線SDが非選択電圧 $-V_{sc}$ に引き上げられる。次にスイッチSW5がオンにされ、電極 $Y_1 \sim Y_n$ が非選択電圧 $-V_{sc}$ になり、スイッチSW5がオフにされる。これにより、電極 $Y_1 \sim Y_n$ の走査準備が完了する。

【0044】この際、スイッチSW16の存在及びスイッチSW17のオフにより、グランド線からダイオードD10を通って配線SD及び配線SUへ電流が流れるのが阻止される。すなわち、アドレス期間ではY維持電圧回路242と走査電圧回路241Qとが分離回路244により電気的に遮断されている。次に、Y1ドライバ2521のスイッチSW6がオンにされて電極 Y_1 が選択電圧 $-V_Y$ にされ、アドレス放電が生ずる。次にスイッチSW6がオフにされる。

【0045】以下、電極 $Y_2 \sim Y_n$ について順に電極 Y_1 と同様のことが行われる。 Y_n の選択が終了すると、スイッチSW5がオフ（電極 $Y_2 \sim Y_n$ のドライバについても同様）にされ、次いでスイッチSW7がオフにされる。次に、スイッチSW20がオンにされて配線SDが選択電圧 $-V_Y$ にされ、スイッチSW20がオフにされる。次に、スイッチSW8がオフにされる。

【0046】サステイン期間では、スイッチSW19がオンにされて、配線SUが0Vまで引き上げられ、ダイオードD6及びD5を通って配線SDも0Vまで引き上げられ、同時にスイッチSW10もオンにされる。次にスイッチSW18がオンにされて、スイッチSW17がオフにされる。これにより、Y維持電圧回路242と走査電圧回路241Qとが接続状態になり、維持パルスの印加が可能となる。これ以降の動作は、図3と同一である。

【0047】なお、本発明には外にも種々の変形例が含まれる。例えば図2において、SW17を用いずにこの部分を短絡し、配線SDと配線SCとの間にスイッチを接続した構成であってもよい。また、図4において、スイッチSW16をMOSトランジスタで構成してもよい。さらに、ダイオードは一方向のみ電流を流すダイオード手段であればよく、MOSトランジスタで構成してもよい。

【図面の簡単な説明】

【図1】本発明の1実施形態のAC型プラズマディスプレイ装置の1画素に対する駆動回路の概略図である。

【図2】図1のY側ドライバの第1実施形態を示す回路図である。

【図3】図2の回路の動作を示す電圧波形図である。

【図4】図1のY側ドライバの第2実施形態を示す図である。

【図5】図4の回路の動作を示す波形図である。

【図6】従来のAC型プラズマディスプレイ装置の概略構成を示すブロック図である。

【図7】図6のPDPの1画素を示す、アドレス電極に

沿った断面図である。

【図8】図6の装置の1画素に対する従来の駆動回路の概略図である。

【図9】図8の回路の動作を示す電極印加電圧波形図である。

【図10】図6の装置の1画素に対する従来の他の駆動回路の概略図である。

【図11】図10の回路の動作を示す電極印加電圧波形図である。

【符号の説明】

10 画素

21 PDP

2331 A1ドライバ

24、24A、24B Y共通ドライバ

241、242A 走査電圧回路

* 242、242A Y維持電圧回路

243、243A、262 電力回收回路

244 分離回路

252.1 Y1ドライバ

26 X共通ドライバ

261 X維持電圧回路

SW1～SW20 スイッチ

D1～D18 ダイオード

V1、-VY 選択電圧

10 V2、-Vsc、Vsc 非選択電圧

Vs 維持電圧

Va 書込電圧

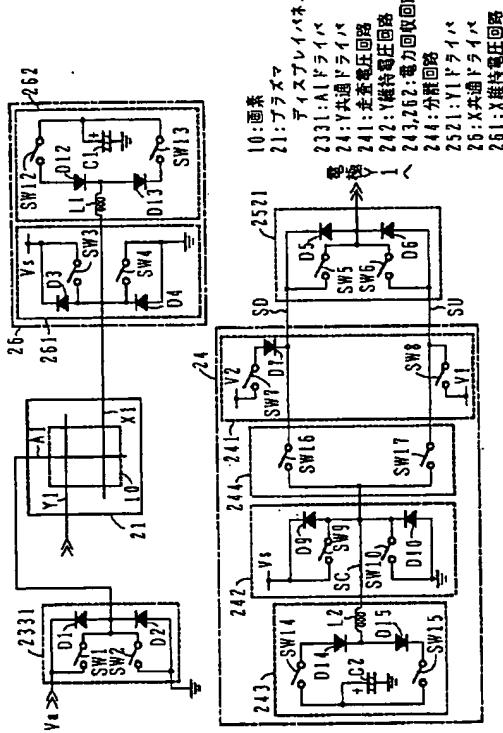
Ps 維持パルス

Psc 走査パルス

*

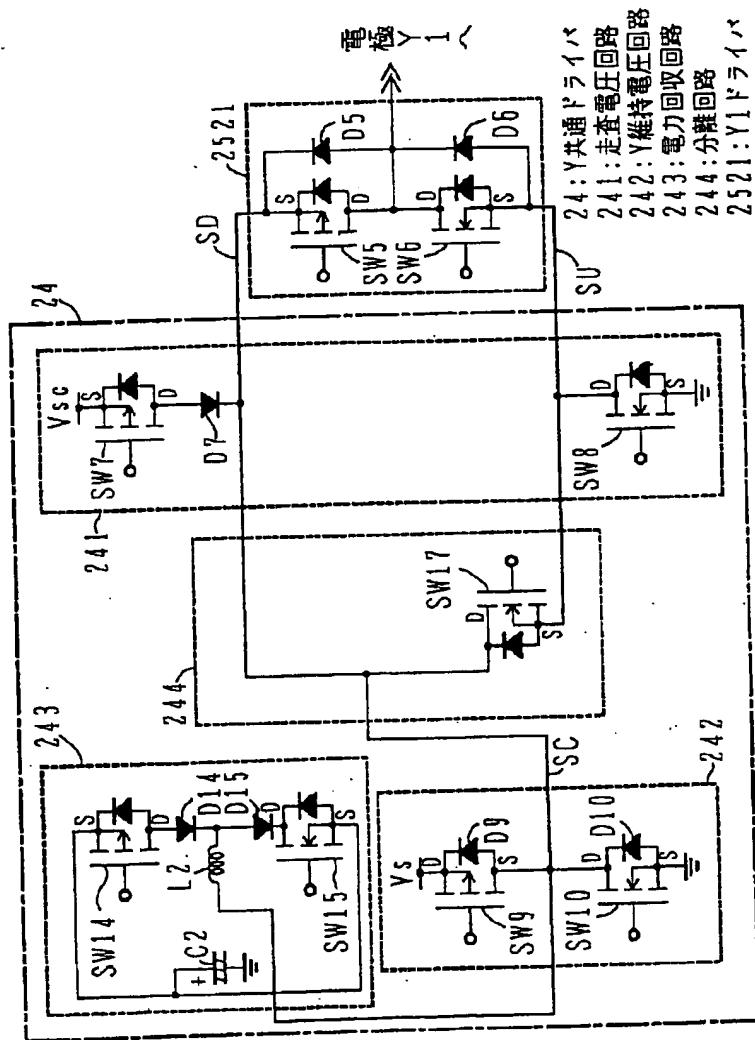
【図1】

本発明の一実施形態のプラズマディスプレイ装置の1画素に対する駆動回路の概略図



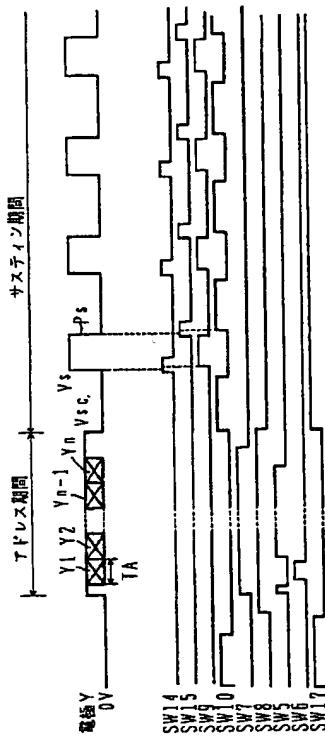
[図2]

図1のY側ドライバの第1実施例を示す回路図



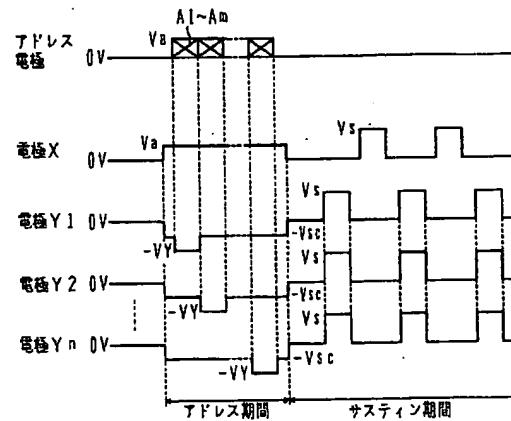
[图3]

図2の回路の動作を示す電圧波形図



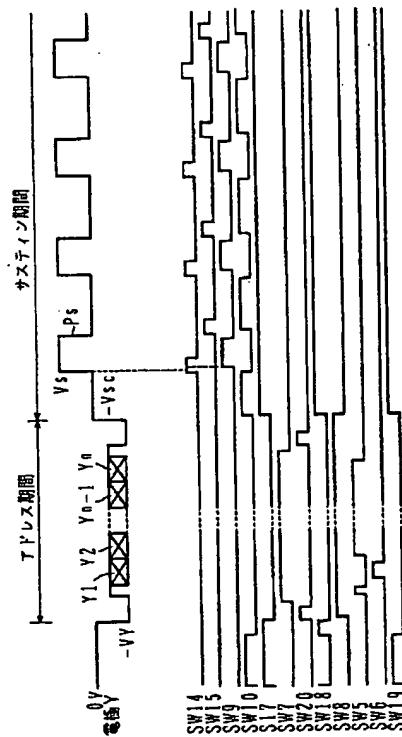
[图11]

図10の回路の動作を示す電極印加電圧波形図



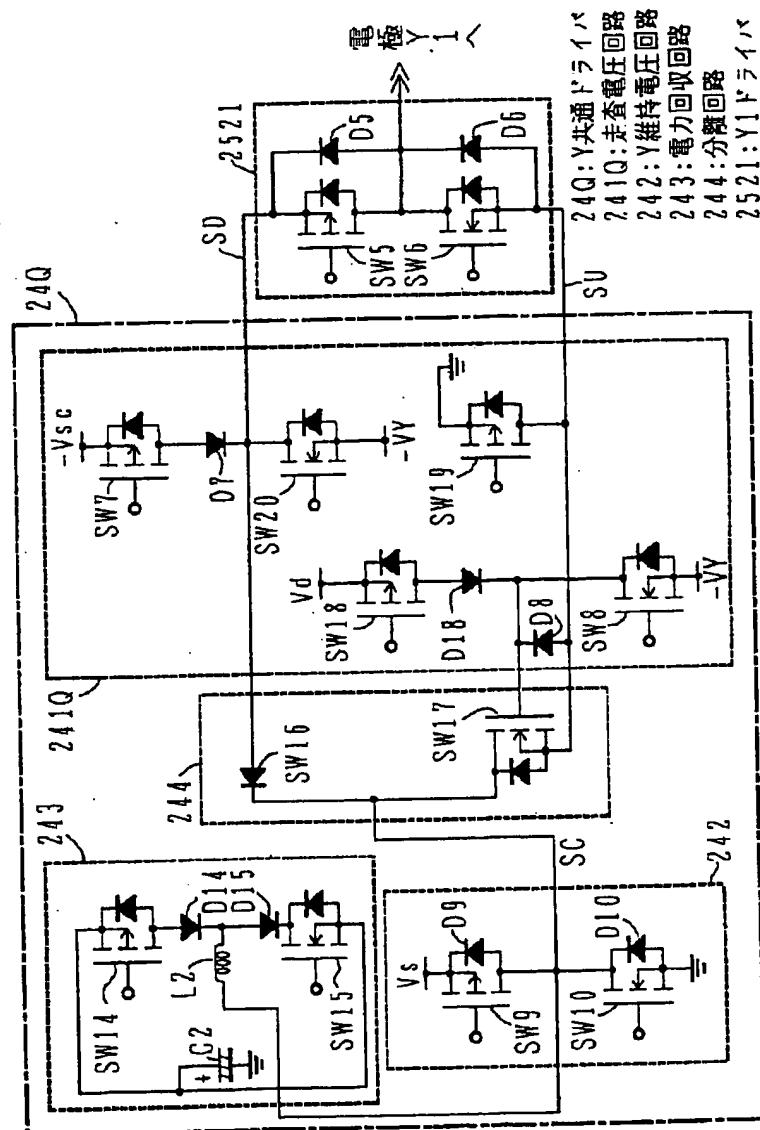
[図5]

図4の回路の動作を示す電圧波形図



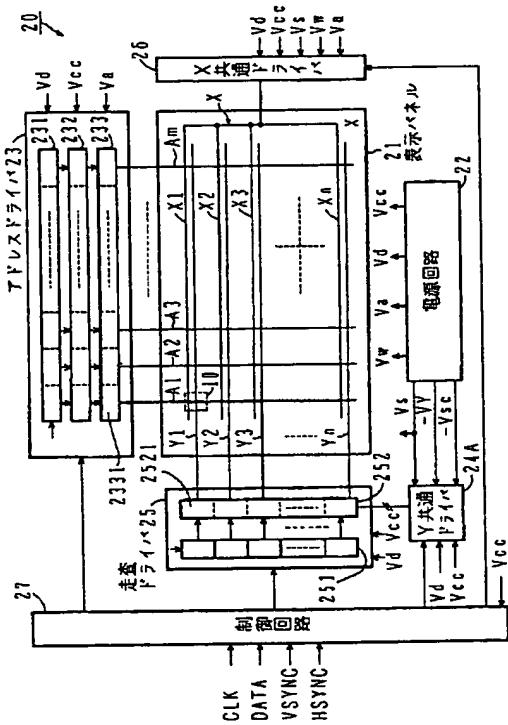
[図4]

図1のY側ドライバの第2実施例を示す回路図



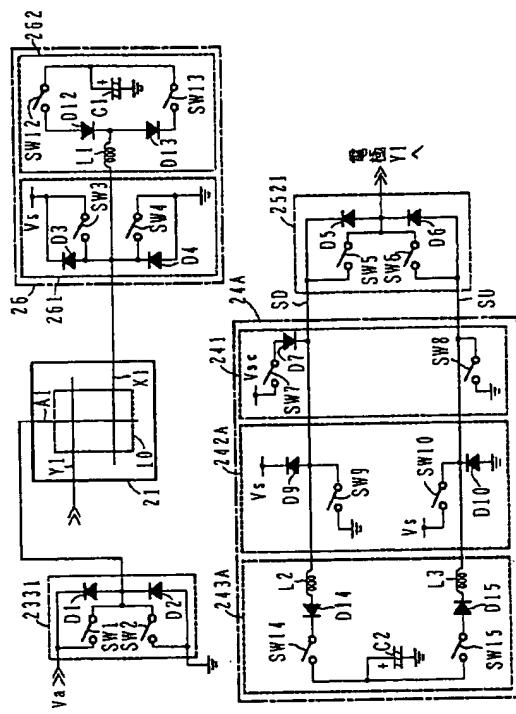
【図6】

従来のプラズマディスプレイ装置の概略構成を示す
ブロック図



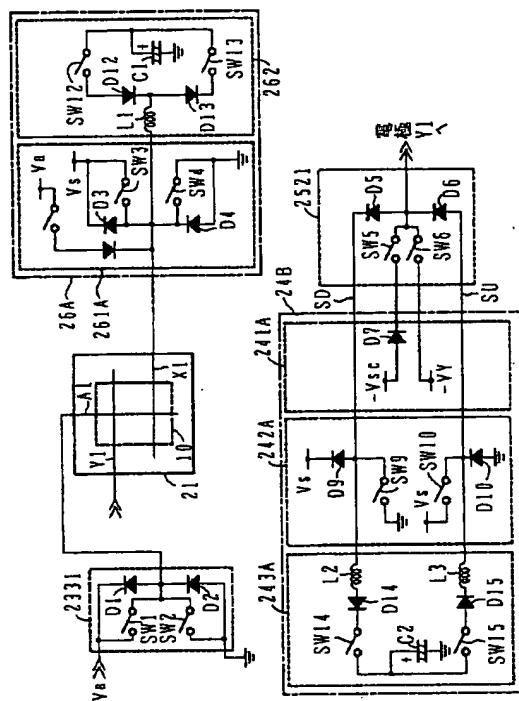
【図8】

図6の装置の1画素に対する従来の駆動回路の概略図



【図10】

図6の装置の1画素に対する従来の駆動回路の概略図



フロントページの続き

(51)Int.C1.⁷
G 09 G 3/288

識別記号

F I
G 09 G 3/28

B

(56)参考文献 特開 平7-160219 (JP, A)
 特開 昭63-101897 (JP, A)
 特開 平2-87189 (JP, A)
 特開 昭62-192798 (JP, A)
 特開 平7-295506 (JP, A)

(58)調査した分野(Int.C1.⁷, DB名)

G09G 3/28

G09G 3/20 621

G09G 3/20 622

G09G 3/20 624

G09G 3/288